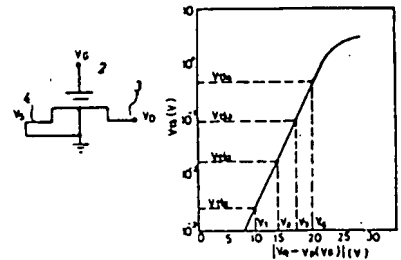


(54) SETTING METHOD FOR THRESHOLD VOLTAGE OF MNOS MEMORY CELL

(11) 58-86777 (A) (43) 24.5.1983 (19) JP  
 (21) Appl. No. 56-184829 (22) 18.11.1981  
 (71) CITIZEN TOKEI K.K. (72) KAZUNARI HAYAFUCHI(1)  
 (51) Int. Cl.<sup>3</sup> H01L29/78, G11C17/00, H01L27/10

**PURPOSE:** To readily obtain an MNOS transistor having different threshold voltages by applying a voltage to the substrate and the gate of an MNOS memory cell, and then applying a voltage between the gate terminal of the cell and a source or drain terminal, thereby deciding the threshold value of the cell.

**CONSTITUTION:** A high voltage is applied to the gate terminal 2 of an MNOS transistor to write, and an electrode is collected to a trap center. Then, a voltage  $V_s$  or  $V_d$  to be applied to a source or drain terminal 4 or 3 is varied while maintaining the voltage  $V_g$  of the terminal 2 constant, the difference  $|V_g - V_d|$  from the gate voltage  $V_g$  is set to  $V_1, V_2, V_3, V_4$ , thereby rewriting. In this manner, threshold voltages  $V_{th1} \sim V_{th4}$  of the transistor corresponding to  $V_1 \sim V_4$  of the voltage difference between the  $V_g$  and the  $V_d$  are obtained, thereby selecting the transistor having the prescribed threshold value. In other words, the width of a depletion layer is variably controlled to perform the writing or rewriting, and the transistor having different threshold value is formed.



⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭58—86777

⑫ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
G 11 C 17/00  
H 01 L 27/10

識別記号  
1 0 1  
庁内整理番号  
7514—5F  
6549—5B  
6655—5F

⑬ 公開 昭和58年(1983)5月24日  
発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ MNOS記憶素子のしきい値電圧の設定方法

⑯ 発明者 田中利明

所沢市大字下富字武野840シチ  
ズン時計株式会社技術研究所内

⑰ 特 願 昭56—184829

⑱ 出 願 昭56(1981)11月18日

⑲ 出 願 人 シチズン時計株式会社

⑳ 発明者 早淵一成

東京都新宿区西新宿2丁目1番  
1号

所沢市大字下富字武野840シチ  
ズン時計株式会社技術研究所内

明 細 書

1 発明の名称

MNOS記憶素子のしきい値電圧の設定方法

2 特許請求の範囲

MNOS (Metal - Nitride - Oxide - Semiconductor) 記憶素子に於いて、前記 MNOS 記憶素子の基板とゲートに電圧を印加して、前記 MNOS 記憶素子のゲート端子とソース端子 (又はドレイン端子) の間に電圧を加えて前記 MNOS 記憶素子のしきい値電圧を設定することを特徴とする、MNOS 記憶素子のしきい値電圧の設定方法。

3 発明の詳細な説明

本発明は電子時計等に用いられる MNOS (金属-窒化膜-酸化膜-半導体物質) 記憶素子に関するものである。一般に MNOS 記憶素子 (以下 MNOSTr と称す) は、ゲート絶縁膜として、シリコン酸化膜とシリコン窒化膜の二層絶縁膜を用い、電気的にこの二層絶縁膜の界面又はその近隣のシリコン窒化膜中のトラップセンター (捕獲

中心) に電荷を蓄積させてそのトラップの帯電状態の電荷の量に対応するしきい値電圧の大小を設け、その中間電位を MNOSTr のゲートに印加することにより、MNOSTr の ON、OFF によって、情報の "0"、"1" 論理レベルを判定するロジック処理が一般に行なわれる。第1図は、一般の MNOSTr の  $V_G$  (ゲート電圧) -  $V_{th}$  (スレッシールド) ヒステリシス曲線を示す。MNOSTr は、第1図のヒステリシス曲線が変化し始める臨界ゲート電圧 ( $V_C$ ) 以上のゲート印加電圧 ( $V_G$ )  $V_{th1}$ 、 $V_{th2}$ 、 $V_{th3}$  で異なるしきい値電圧  $V_{th1}$ 、 $V_{th2}$ 、 $V_{th3}$  を各々得ることができる。この特徴をいかし、電位検出装置としてのアナログ情報処理も可能である。しかしながら、異なるしきい値電圧をもつ MNOSTr を多数個設けるためには、異なるしきい値電圧をその多数個分のゲート電圧 ( $V_G$ ) を設ける必要がある。異なるしきい値電圧をもつ MNOSTr を設定するにゲート電圧 ( $V_G$ ) を変えて書込む場合、現実的に再現性よく異なるしきい値電圧を得ることは不可能に近いという欠点があった。

本発明は、MNO S Trを用い、いつたん情報を  
 与込んだ後、ゲート端子とソース端子（又はドレ  
 イン端子）の電圧差を変え蓄込み（又は消去）す  
 ることで、再現性良く異なるしきい値電圧をもつ  
 MNO S Trを設けることができ、アナログ処理も  
 可能な蓄込み方法を提供するものである。

第2図は本発明のMNO S Trの蓄込み方法の実  
 施例を示す。第2図④はMNO S Trでゲート端子  
 2に高電圧を印加し、蓄込みを行ない電荷をトラ  
 ップセンタに捕獲した後ゲート端子2の電圧 $V_G$   
 を一様に保ち、ソース端子4（又はドレイン端子  
 3）の電圧 $V_S$ 又は $V_D$ を変えてゲート電圧 $V_G$ と  
 の差 $|V_G - V_D|$ を $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$ に設定し  
 て再蓄込みを行なうと、 $V_G$ と $V_D$ の電圧差である  
 $V_1 \sim V_4$ に対応してMNO S Trのしきい値電圧 $V_{th}$   
 は第2図④に示すように、 $V_1 \sim V_4$ の電圧に対応  
 したしきい値電圧 $V_{th1} \sim V_{th4}$ の値を示す。本発明  
 は、従来行なわれていたゲート端子2の電圧を可  
 変にする手段とは異なり、ドレイン電圧 $V_D$ （又  
 はソース電圧 $V_S$ ）から逆バイアスの電圧を印加す

ることにより、MNO S Trの空乏層を広げ、  
 空乏層を可変に制御して、再蓄込み（又は消  
 去）を行ない、異なるしきい値電圧を有するMN  
 Trとするもので、ゲート端子2の電圧 $V_G$ から  
 蓄込みのために印加される電圧をドレイン電圧  
 （又はソース電圧 $V_S$ ）からの空乏層で該MN  
 TrのS : O<sub>2</sub>の境界を緩和する手段を用いたも  
 $V_{th}$ の対数値と $|V_G - V_D|$ （又 $V_S$ ）の関係は  
 性を示し、再現性は著しく良好である。従つ  
 発明の方法を用いてMNO S Trを蓄込めば、  
 O S Trのしきい値電圧は、 $|V_G - V_D|$  電圧  
 差的に再現性良く決まる為、アナログ量を検  
 することも可能で、アナログ記憶素子としての  
 も可能で効果は著しく大きい。

#### 4 図面の簡単な説明

第1図は従来のゲート電圧（ $V_G$ ）-しきい値  
 ( $V_{th}$ )ヒステリシス曲線を示す図、第2図④は  
 本発明のMNO S Trの結線図、第2図④は本発明  
 N O S Trのゲート電圧とドレイン電圧（又は  
 ソース電圧）の差によるしきい値電圧の特性を示

性図である。

- 2 … ゲート端子、      3 … ドレイン端子、
- 4 … ソース端子、       $V_{th}$  … スレショルド電圧、
- $V_G$  … ゲート電圧、       $V_D$  … ドレイン電圧、
- $V_S$  … ソース電圧。

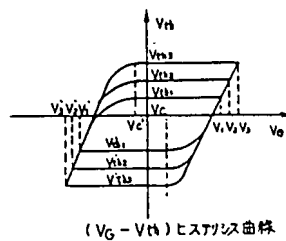
特許出願人

シチズン時計株式会社



SEC 008240

第 1 図



第 2 図

